

日本国特許庁
JAPAN PATENT OFFICE

#2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年12月27日

出願番号
Application Number:

特願2000-397454

出願人
Applicant(s):

安藤電気株式会社

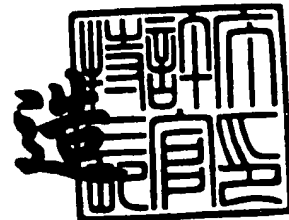
JPO
10/033252
12/26/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3080412

【書類名】 特許願

【整理番号】 S00-12-13

【提出日】 平成12年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/26

【発明の名称】 I C 測定装置

【請求項の数】 5

【発明者】

【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式会社
内

【氏名】 大瀧 敏之

【発明者】

【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式会社
内

【氏名】 近藤 充

【特許出願人】

【識別番号】 000117744

【氏名又は名称】 安藤電気株式会社

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9719557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 IC測定装置

【特許請求の範囲】

【請求項1】 被測定ICから出力されるデータストローブとデータとのタイミングの合否を判定するIC測定装置であって、

このIC測定装置のテストサイクルに同期した、時刻の異なる2つの判定ストローブパルスを出力する第1のタイミングジェネレータと、

この第1のタイミングジェネレータが出力した、時刻の異なる2つの判定ストローブパルスに基づいて、1つのテストサイクル内の2つの時刻におけるデータストローブの状態を検出する第1のエッジ検出手段と、

前記IC測定装置のテストサイクルに同期した、時刻の異なる2つの判定ストローブパルスを出力する第2のタイミングジェネレータと、

この第2のタイミングジェネレータが出力した、時刻の異なる2つの判定ストローブパルスに基づいて、1つのテストサイクル内の2つの時刻におけるデータの状態を検出する第2のエッジ検出手段と、

この第2のエッジ検出手段が検出したデータの状態と、前記第1のエッジ検出手段が検出したデータストローブの状態とに基づいて、データストローブを基準としたデータのタイミングの合否を判定する判定手段と
を有することを特徴とするIC測定装置。

【請求項2】 前記第1のタイミングジェネレータおよび第2のタイミングジェネレータがそれぞれ出力する、2つの判定ストローブパルス間の時間は、前記被測定ICの規格に応じた時間とされている
ことを特徴とする請求項1に記載のIC測定装置。

【請求項3】 前記第1のタイミングジェネレータが出力する判定ストローブパルスのタイミングと、前記第2のタイミングジェネレータが出力する判定ストローブパルスのタイミングとの関係は、前記被測定ICの規格に応じた関係とされている

ことを特徴とする請求項1または2に記載のIC測定装置。

【請求項4】 前記第2のタイミングジェネレータ、第2のエッジ検出手段

および判定手段を含む回路ブロックを複数有する

ことを特徴とする請求項 1 から 3 のいずれかに記載の IC 測定装置。

【請求項 5】 各回路ブロックが有する第 2 のタイミングジェネレータが出力する判定ストロブパルスどうしの関係は、前記被測定 IC の規格に応じた関係とされている

ことを特徴とする請求項 4 に記載の IC 測定装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、IC（特にデータストロブ付き IC）を試験する IC 測定装置に関する。

【0002】

【従来の技術】

図 5 は、従来の IC 測定装置の構成を示すブロック図であり、図 6 は、この IC 測定装置の動作を示すタイミングチャートである。まず、IC 測定装置（A1）は被測定 IC（B1）にクロック（CK1）を供給し、このクロック（CK1）の周期であるテストサイクル（TC1）に同期するように、被測定 IC（B1）を動作させる。

【0003】

被測定 IC（B1）から出力されたデータストロブ（DCK1）の出力タイミングは、IC 測定装置（A1）内の電圧比較器（V11）を介して論理比較器（CMP11）内のエッジサーチ回路（E11）に入力される。エッジサーチ回路（E11）は、タイミングジェネレータ（TG11）から出力される判定ストロブパルス（S11）のタイミングで、データストロブ（DCK1）をラッチする。タイミングジェネレータ（TG11）から出力される判定ストロブパルス（S11）のエッジのタイミングは、時刻 T21～T22 の範囲内で、テストサイクル（TC1）毎に、n 回変化させられる。すなわち、n 回の変化のためには、テストサイクル（TC1）の n サイクル分の時間が必要になる。

【0004】

論理比較器 (CMP 1 1) は、判定ストロブパルス (S 1 1) のエッジのタイミングで、データストロブ (DCK 1) の状態をラッチし、期待値 (K 1 1) と比較する。すなわち、n 回、判定ストロブパルス (S 1 1) のエッジのタイミングを変化させつつ、データストロブ (DCK 1) の状態をラッチし、期待値 (K 1 1) と比較する。これにより、データストロブ (DCK 1) のエッジが出力されるタイミング、すなわちクロック (CK 1) の立ち上がりエッジが出力される時刻 T 1 1 から、データストロブ (DCK 1) のエッジが出力されるまでの時間を検出する。

【0 0 0 5】

同様に、判定ストロブ (S 1 2) のエッジのタイミングを変化させつつ、データ (D 1 1) のエッジが出力されるタイミング、すなわちクロック (CK 1) の立ち上がりエッジが出力される時刻 T 1 1 から、データ (D 1 1) のエッジが出力されるまでの時間を検出する。

【0 0 0 6】

そして、上記の 2 つの時間の差を求め、被測定 IC (B 1) の PASS / FAIL 判定を行う。

【0 0 0 7】

【発明が解決しようとする課題】

上述した従来技術では、データストロブ (DCK 1) のエッジが出力されるタイミングを検出するために、判定ストロブパルス (S 1 1) のエッジのタイミングでデータストロブ (DCK 1) の状態をラッチし、期待値 (K 1 1) と比較する動作を n 回繰り返さなければならない。

【0 0 0 8】

同様に、データ (D 1 1) のエッジが出力されるタイミングを検出するために、判定ストロブパルス (S 1 2) のエッジのタイミングでデータ (D 1 1) の状態をラッチし、期待値 (K 1 2) と比較する動作を n 回繰り返さなければならない。

【0 0 0 9】

さらに、被測定 IC (B 1) から出力されるデータが、データ (D 1 1) のみ

ではなく、データ (D 1 1)、データ (D 1 2)、…のように複数ある場合には、それぞれのデータのタイミングを検出するために、上述した n 回繰り返される比較動作を、さらにデータの数だけ繰り返さなければならない。すなわち、データの数が k である場合には、上述したラッチおよび比較の動作を、 $k \times n$ 回繰り返さなければならない。

【0 0 1 0】

すなわち、上述した従来技術には、被測定 IC (B 1) が出力する被測定データ (データストローブまたはデータ) のタイミングを測定するのに時間がかかるという問題がある。

また、各テストサイクル (T C 1) に対して、データストローブ (D C K 1) やデータ (D 1 1) が変動する場合、従来技術では、データストローブ (D C K 1) やデータ (D 1 1) が一番遅い場合の判定しかできず、各テストサイクルごとの判定ができない。

【0 0 1 1】

本発明は、上記の問題を解決するためになされたもので、被測定 IC (B 1) が出力する被測定データ (データストローブまたはデータ) のタイミングを測定するのに時間がかからない IC 試験装置を提供するものである。

【0 0 1 2】

【課題を解決するための手段】

請求項 1 に記載の発明は、被測定 IC から出力されるデータストローブとデータとのタイミングの合否を判定する IC 測定装置であって、この IC 測定装置のテストサイクルに同期した、時刻の異なる 2 つの判定ストローブパルスを出力する第 1 のタイミングジェネレータと、この第 1 のタイミングジェネレータが出力した、時刻の異なる 2 つの判定ストローブパルスに基づいて、1 つのテストサイクル内の 2 つの時刻におけるデータストローブの状態を検出する第 1 のエッジ検出手段と、前記 IC 測定装置のテストサイクルに同期した、時刻の異なる 2 つの判定ストローブパルスを出力する第 2 のタイミングジェネレータと、この第 2 のタイミングジェネレータが出力した、時刻の異なる 2 つの判定ストローブパルスに基づいて、1 つのテストサイクル内の 2 つの時刻におけるデータの状態を検出

する第2のエッジ検出手段と、この第2のエッジ検出手段が検出したデータの状態で、前記第1のエッジ検出手段が検出したデータストローブの状態とに基づいて、データストローブを基準としたデータのタイミングの合否を判定する判定手段とを有することを特徴とするIC測定装置である。

【0013】

請求項2に記載の発明は、前記第1のタイミングジェネレータおよび第2のタイミングジェネレータがそれぞれ出力する、2つの判定ストローブパルス間の時間は、前記被測定ICの規格に応じた時間とされていることを特徴とする請求項1に記載のIC測定装置である。

【0014】

請求項3に記載の発明は、前記第1のタイミングジェネレータが出力する判定ストローブパルスのタイミングと、前記第2のタイミングジェネレータが出力する判定ストローブパルスのタイミングとの関係は、前記被測定ICの規格に応じた関係にされていることを特徴とする請求項1または2に記載のIC測定装置である。

【0015】

請求項4に記載の発明は、前記第2のタイミングジェネレータ、第2のエッジ検出手段および判定手段を含む回路ブロックを複数有することを特徴とする請求項1から3のいずれかに記載のIC測定装置である。

【0016】

請求項5に記載の発明は、各回路ブロックが有する第2のタイミングジェネレータが出力する判定ストローブパルスどうしの関係は、前記被測定ICの規格に応じた関係にされていることを特徴とする請求項4に記載のIC測定装置である。

【0017】

本発明によれば、タイミングジェネレータから1組の判定ストローブパルスが出力されると、2つのタイミングにおいて被測定データ（データストローブまたはデータ）の状態が検出される。

【0018】

【発明の実施の形態】

図 1 は、本発明の一実施形態における IC 測定装置 (A 2) の構成を示すブロック図である。IC 測定装置 (A 2) が、被測定 IC (B 2) にクロック (CK 2) を送ると、被測定 IC (B 2) は、データストローブ (DCK 2)、データ (D 2 1)、データ (D 2 2)、…、データ (D x) を出力する。被測定 IC (B 2) から出力されたデータストローブ (DCK 2)、データ (D 2 1)、データ (D 2 2)、…、データ (D x) は、再度、IC 測定装置 (A 2) に入力される。

【0019】

被測定 IC (B 2) から出力されたデータストローブ (DCK 2) は、IC 測定装置 (A 2) 内の電圧比較器 (V 2 1) を介して、論理比較器 (CMP 2 1) 内のエッジサーチ回路 (E 2 1) に入力される。このエッジサーチ回路 (E 2 1) には、タイミングジェネレータ (TG 2 1) が出力する 2 系統の判定ストローブパルス (S 2 1) も入力される。すなわち、この判定ストローブパルス (S 2 1) は、判定ストローブパルス (S 2 1-1) と、判定ストローブパルス (S 2 1-2) とによって構成される。そして、エッジサーチ回路 (E 2 1) は、2 ビットのエッジ判定結果 (R 2 1) を出力する。すなわち、このエッジ判定結果 (R 2 1) は、エッジ判定結果 (R 2 1-1) と、エッジ判定結果 (R 2 1-2) とによって構成される。

【0020】

被測定 IC (B 2) から出力されたデータ (D 2 1) は、IC 測定装置 (A 2) 内の電圧比較器 (V 2 2) を介して、論理比較器 (CMP 2 2) 内のエッジサーチ回路 (E 2 2) に入力される。このエッジサーチ回路 (E 2 2) には、タイミングジェネレータ (TG 2 2) が出力する 2 系統の判定ストローブパルス (S 2 2) も入力される。すなわち、この判定ストローブパルス (S 2 2) は、判定ストローブパルス (S 2 2-1) と、判定ストローブパルス (S 2 2-2) とによって構成される。そして、エッジサーチ回路 (E 2 2) は、2 ビットのエッジ判定結果 (R 2 2) を出力する。すなわち、このエッジ判定結果 (R 2 2) は、エッジ判定結果 (R 2 2-1) と、エッジ判定結果 (R 2 2-2) とによって構

成される。

【0021】

エッジ判定結果 (R22) は、判定制御回路 (J22) に入力される。この判定制御回路 (J22) には、エッジ判定結果 (R21) も入力される。そして、判定制御回路 (J22) は、Pass/Fail判定 (P22) を出力し、出力された Pass/Fail判定 (P22) は、CPU (C2) に入力される。

【0022】

被測定 IC (B2) から出力されたデータ (D22) は、IC測定装置 (A2) 内の電圧比較器 (V23) を介して、論理比較器 (CMP23) 内のエッジサーチ回路 (E23) に入力される。このエッジサーチ回路 (E23) には、タイミングジェネレータ (TG23) が出力する2系統の判定ストロブパルス (S23) も入力される。すなわち、この判定ストロブパルス (S23) は、判定ストロブパルス (S23-1) と、判定ストロブパルス (S23-2) とによって構成される。そして、エッジサーチ回路 (E23) は、2ビットのエッジ判定結果 (R23) を出力する。すなわち、このエッジ判定結果 (R23) は、エッジ判定結果 (R23-1) と、エッジ判定結果 (R23-2) とによって構成される。

【0023】

エッジ判定結果 (R23) は、判定制御回路 (J23) に入力される。この判定制御回路 (J23) には、エッジ判定結果 (R21) も入力される。そして、判定制御回路 (J23) は、Pass/Fail判定 (P23) を出力し、出力された Pass/Fail判定 (P23) は、CPU (C2) に入力される。

【0024】

被測定 IC (B2) から出力されたデータ (D23、D24、…、Dx) についても、上記と同様である。

【0025】

図2は、判定制御回路 (J22) における入出力の関係を示す表である。なお、判定制御回路 (J23、J24、…、Jx) における入出力の関係も、これと同様である。

【 0 0 2 6 】

判定制御回路 (J 2 2) は、データストローブ (DCK 2) のエッジ判定結果 (R 2 1 - 1、R 2 1 - 2) と、データ (D 2 1) のエッジ判定結果 (R 2 2 - 1、R 2 2 - 2) とを入力し、P a s s / F a i l 判定 (P 2 2) を出力する。例えば、エッジ判定結果 (R 2 1 - 1) が H、エッジ判定結果 (R 2 1 - 2) が L、エッジ判定結果 (R 2 2 - 1) が H、エッジ判定結果 (R 2 2 - 2) が H のとき、P A S S / F A I L 判定 (P 2 2) は F a i l (H) になる。

【 0 0 2 7 】

図 3 は、本実施形態における I C 測定装置 (A 2) の動作を示すタイミングチャートである。I C 測定装置 (A 2) が被測定 I C (B 2) にクロック (CK 2) を送ると、被測定 I C (B 2) は、データストローブ (DCK 2)、データ (D 2 1)、データ (D 2 2)、…、データ (D x) を出力する。出力されたデータストローブ (DCK 2)、データ (D 2 1)、データ (D 2 2)、…、データ (D x) が、再度、I C 測定装置 (A 2) に入力される。データストローブ (DCK 2)、データ (D 2 1)、データ (D 2 2)、…、データ (D x) の立ち上がりエッジが出力されるタイミングは、テストサイクル (TC 2) 内で変化する。

【 0 0 2 8 】

まず、データストローブ (DCK 2) のタイミングが測定される動作を説明する。被測定 I C (B 2) から出力されたデータストローブ (DCK 2) は、I C 測定装置 (A 2) 内の電圧比較器 (V 2 1) を介して、論理比較器 (CMP 2 1) 内のエッジサーチ回路 (E 2 1) に取り込まれる。

【 0 0 2 9 】

タイミングジェネレータ (TG 2 1) から出力され、エッジサーチ回路 (E 2 1) に入力される、2 系統の判定ストローブパルス (S 2 1) を構成する判定ストローブパルス (S 2 1 - 1) と、判定ストローブパルス (S 2 1 - 2) との立ち上がりエッジのタイミングは、期間 A においては、それぞれ、テストサイクル (TC 2) 内の時刻 T 4 1 と T 4 2 とに設定される。時刻 T 4 1 と T 4 2 との差の時間は、データストローブ (DCK 2) の立ち上がりエッジのタイミングの許

容範囲（規格）とされる。

【0030】

そして、判定ストロブパルス（S21-1、S21-2）の立ち上がりエッジのタイミングを、テストサイクルTC2毎に、少しずつずらしてゆき、データストロブ（DCK2）の立ち上がりエッジを、2つの判定ストロブパルス（S21-1、S21-2）の立ち上がりエッジの間に捕捉する。図3に示した期間Aは、データストロブ（DCK2）の立ち上がりエッジが、2つの判定ストロブパルス（S21-1、S21-2）の立ち上がりエッジの間に捕捉された状態であり、期間Bは、捕捉されていない状態である。

【0031】

上述した捕捉の具体的な動作を説明する。エッジサーチ回路（E21）は、測定の対象であるデータストロブ（DCK2）と、2つの判定ストロブパルス（S21-1、S21-2）とを入力する。そして、判定ストロブパルス（S21-1）の立ち上がりエッジを検出したら、この判定ストロブパルス（S21-1）で、データストロブ（DCK2）のレベルの反転をサンプリングし、エッジ判定結果（R21-1）として出力する。また、判定ストロブパルス（S21-2）の立ち上がりエッジを検出したら、この判定ストロブパルス（S21-2）で、データストロブ（DCK2）のレベルの反転をサンプリングし、エッジ判定結果（R21-2）として出力する。

【0032】

例えば、時刻T41における判定ストロブパルス（S21-1）の立ち上がりエッジで、データストロブ（DCK2）の状態はLレベルなので、エッジ判定結果（R21-1）はHレベルになる。

【0033】

また、時刻T42における判定ストロブパルス（S21-2）の立ち上がりエッジで、データストロブ（DCK2）の状態はHレベルなので、エッジ判定結果（R21-2）はLレベルになる。

【0034】

エッジサーチ回路（E21）は、以上の動作を、2つの判定ストロブパルス

(S 2 1 - 1、S 2 1 - 2) の立ち上がりエッジ間の時間差を変えずに、両方の立ち上がりエッジのタイミングを少しずつずらしながら行い、エッジ判定結果 (R 2 1 - 1) が H レベル、エッジ判定結果 (R 2 1 - 2) が L レベルとなるタイミングを探す。

【 0 0 3 5 】

具体的には、論理比較器 (C M P 2 1) が、エッジ判定結果 (R 2 1 - 1、R 2 1 - 2) を検出し、エッジ判定結果 (R 2 1 - 1) が H レベル、エッジ判定結果 (R 2 1 - 2) が L レベルになったら、C P U (C 2) に送る P a s s / F a i l 判定 (P 2 1) を P a s s (L) にする。なお、これ以外の場合には、P a s s / F a i l 判定 (P 2 1) は F a i l (H) とする。

【 0 0 3 6 】

データ (D 2 1) が入力されるエッジサーチ回路 (E 2 2) の動作も、上述したエッジサーチ回路 (E 2 1) と同様である。ただし、エッジサーチ回路 (E 2 1) に入力される判定ストロブパルス (S 2 1) のタイミングと、エッジサーチ回路 (E 2 2) に入力される判定ストロブパルス (S 2 2) のタイミングとの関係は、被測定 I C (B 2) の規格によって定まる所定の関係とされる。

【 0 0 3 7 】

エッジサーチ回路 (E 2 2) が出力するエッジ判定結果 (R 2 2 - 1、R 2 2 - 2) は、判定制御回路 (J 2 2) に入力される。判定制御回路 (J 2 2) には、さらに、前述したエッジ判定結果 (R 2 1 - 1、R 2 1 - 2) も入力される。判定制御回路 (J 2 2) は、これらの 4 つの入力に基づいて、データストロブ (D C K 2) の立ち上がりエッジを基準とした、データ (D 2 1) の立ち上がりエッジのタイミングが許容範囲 (規格) 内であるか否かを判定し、P a s s / F a i l 判定 (P 2 2) を C P U (C 2) へ出力する。判定制御回路 (J 2 2) における入出力の関係は、図 2 に示した通りである。

【 0 0 3 8 】

図 2 に示したように、エッジ判定結果 (R 2 1 - 1) が H、エッジ判定結果 (R 2 1 - 2) が L、エッジ判定結果 (R 2 2 - 1) が H、エッジ判定結果 (R 2 2 - 2) が L のとき、P a s s / F a i l 判定 (P 2 2) は P a s s (L) とな

る。

【0039】

エッジ判定結果 (R21-1) およびエッジ判定結果 (R21-2) の両方が H の場合と、エッジ判定結果 (R21-1) およびエッジ判定結果 (R21-2) の両方が L の場合とは、データストローブ (DCK2) が捕捉されていない状態であるが、Pass/Fail 判定 (P22) は Pass (L) となる。ただし、これらの場合には、前述した Pass/Fail 判定 (P21) が Fail (H) なので、CPU (C2) は、データストローブ (DCK2) が捕捉されていない状態であることを認識できる。

【0040】

上述した3つの場合以外の場合には、Pass/Fail 判定 (P22) は Fail (H) となる。すなわち、エッジ判定結果 (R21-1) が H、エッジ判定結果 (R21-2) が L、エッジ判定結果 (R22-1) が H、エッジ判定結果 (R22-2) が L の場合を第1の場合とし、エッジ判定結果 (R21-1) およびエッジ判定結果 (R21-2) の両方が H の場合を第2の場合とし、エッジ判定結果 (R21-1) およびエッジ判定結果 (R21-2) の両方が L の場合を第3の場合とすると、第1、第2、第3の場合以外の場合には、Pass/Fail 判定 (P22) は Fail (H) となる。

【0041】

なお、エッジサーチ回路 (E23、E24、…、Ex) および判定制御回路 (J23、J24、…、Jx) における動作も、上記のエッジサーチ回路 (E22) および判定制御回路 (J22) における動作と同様である。

【0042】

図4は、図3に示した期間A、Bにおける、データストローブ (DCK2) を基準とするデータ (D21、D22) のタイミングの判定結果、すなわち Pass/Fail 判定 (P22、P23) を示す表である。

【0043】

例えば、期間Aのデータ (D21) については、データストローブ (DCK2) のエッジ判定結果 (R21-1) が H、エッジ判定結果 (R21-2) が L、

データ (D 1) のエッジ判定結果 (R 2 2 - 1) が H、エッジ判定結果 (R 2 2 - 2) が L なので、P a s s / F a i l 判定 (P 2 2) は P a s s (L) となる。

【0 0 4 4】

また、期間 A のデータ (D 2 2) については、データストローブ (D C K 2) のエッジ判定結果 (R 2 1 - 1) が H、エッジ判定結果 (R 2 1 - 2) が L、データ (D 2) のエッジ判定結果 (R 2 3 - 1) が H、エッジ判定結果 (R 2 3 - 2) も H なので、P a s s / F a i l 判定 (P 2 3) は F a i l (H) となる。

【0 0 4 5】

以上の動作により、データストローブ (D C K 2) を基準としたデータ (D 2 1、D 2 2、…、D x) のタイミングが、許容範囲 (規格) 内にあるか否かを、1 テストサイクル内で判定することができる。

【0 0 4 6】

なお、データストローブ (D C K 2) を基準とする代わりに、判定ストローブパルス (S 2 1 - 1 等) を基準としたタイミングを判定することも可能であり、例えば、判定ストローブパルス (S 2 1 - 1) の立ち上がりエッジの時刻 T 4 1 を基準としたタイミングを判定することも可能である。

【0 0 4 7】

また、判定ストローブパルス (S 2 2、S 2 3、…、S x) どちらのタイミングを、被測定 I C (B 2) の規格によって定まる所定の関係とすれば、データ (D 2 1、D 2 2、…、D x) のタイミングを同時に判定することもできる。

【0 0 4 8】

【発明の効果】

本発明によれば、被測定 I C (特にデータストローブ付き I C) が出力する被測定データ (データストローブまたはデータ) のタイミングを測定する際に、1 つのテストサイクル内の 2 つの時刻における被測定データの状態を、1 テストサイクルの期間内で検出することができるので、被測定データのタイミングを高速で測定することができ、測定時間を大幅に短縮することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態における IC 測定装置 (A 2) の構成を示すブロック図である。

【図 2】 判定制御回路 (J 2 2) における入出力の関係を示す表である。

【図 3】 本発明の一実施形態における IC 測定装置 (A 2) の動作を示すタイミングチャートである。

【図 4】 図 3 に示した期間 A、B における、データストローブ (DCK 2) を基準とするデータ (D 2 1、D 2 2) のタイミングの判定結果を示す表である。

【図 5】 従来の IC 測定装置の構成を示すブロック図である。

【図 6】 従来の IC 測定装置の動作を示すタイミングチャートである。

【符号の説明】

A 1、A 2 IC 測定装置

B 1、B 2 被測定 IC

C 1、C 2 CPU

TG 1 1、TG 1 2、TG 1 3、…、TG m タイミングジェネレータ

TG 2 1 タイミングジェネレータ (第 1 のタイミングジェネレータ)

TG 2 2 タイミングジェネレータ (第 2 のタイミングジェネレータ)

TG 2 3 ~ TG x タイミングジェネレータ

S 1 1、S 1 2、S 1 3、…、S m 判定ストローブパルス

S 2 1、S 2 2、S 2 3、…、S x 判定ストローブパルス

CMP 1 1、CMP 1 2、CMP 1 3、…、CMP m 論理比較器

CMP 2 1、CMP 2 2、CMP 2 3、…、CMP x 論理比較器

E 1 1、E 1 2、E 1 3、…、E m エッジサーチ回路

E 2 1 エッジサーチ回路 (第 1 のエッジ検出手段)

E 2 2 エッジサーチ回路 (第 2 のエッジ検出手段)

E 2 3 ~ E x エッジサーチ回路

J 2 2 判定制御回路 (判定手段)

J 2 3 ~ J x 判定制御回路

V 1 1、V 1 2、V 1 3、…、V m 電圧比較器

V 2 1、V 2 2、V 2 3、…、V x 電圧比較器

CK 1、CK 2 クロック

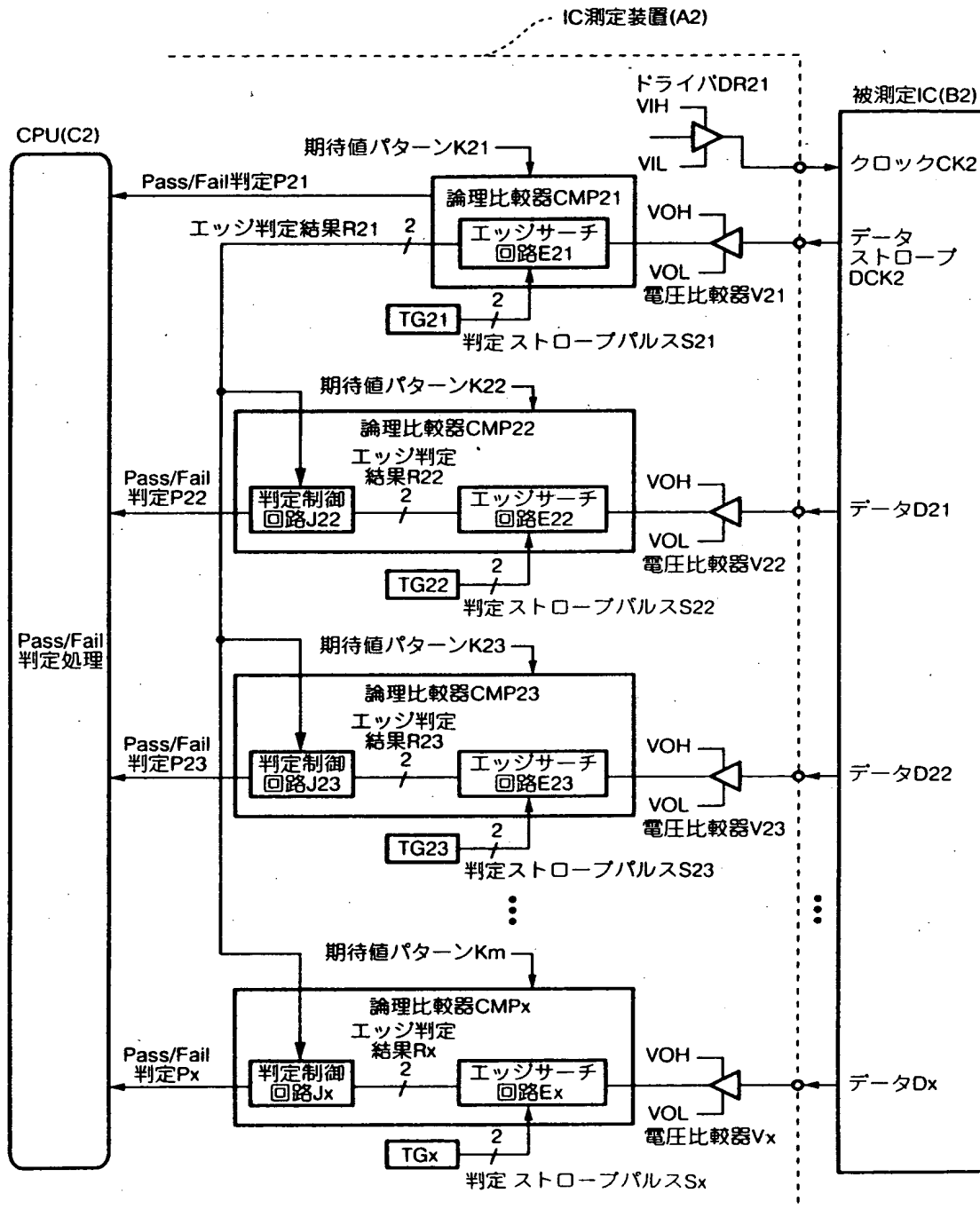
DCK 1、DCK 2 データストローブ

D 1 1、D 1 2、…、D m データ

D 2 1、D 2 2、…、D x データ

【書類名】 図面

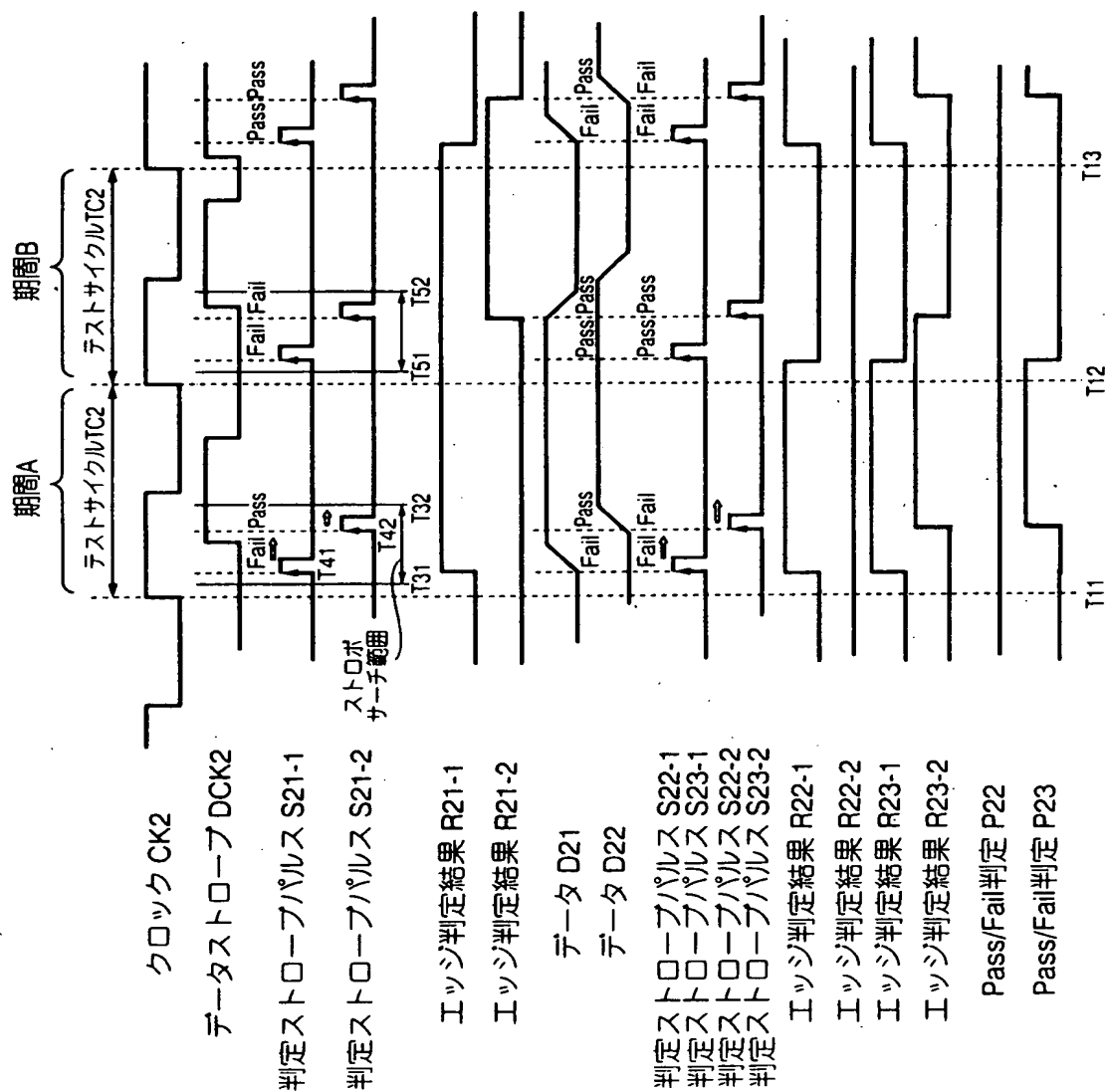
【図 1】



【図 2】

入力	エッジ判定結果 R21-1	Fail(H)				Fail(H)				Pass(L)				Pass(L)			
	エッジ判定結果 R21-2	Fail(H)				Pass(L)				Fail(H)				Pass(L)			
	エッジ判定結果 R22-1	Fail(H)	Fail(H)	Pass(L)	Pass(L)	Fail(H)	Fail(H)	Pass(L)	Pass(L)	Fail(H)	Fail(H)	Pass(L)	Pass(L)	Fail(H)	Fail(H)	Pass(L)	Pass(L)
	エッジ判定結果 R22-2	Fail(H)	Pass(L)	Fail(H)	Pass(L)	Fail(H)	Pass(L)	Fail(H)	Pass(L)	Fail(H)	Pass(L)	Fail(H)	Pass(L)	Fail(H)	Pass(L)	Fail(H)	Pass(L)
出力	Pass/Fail判定 P22	Pass(L)				Fail(H)	Pass(L)	Fail(H)	Fail(H)	Fail(H)				Pass(L)			

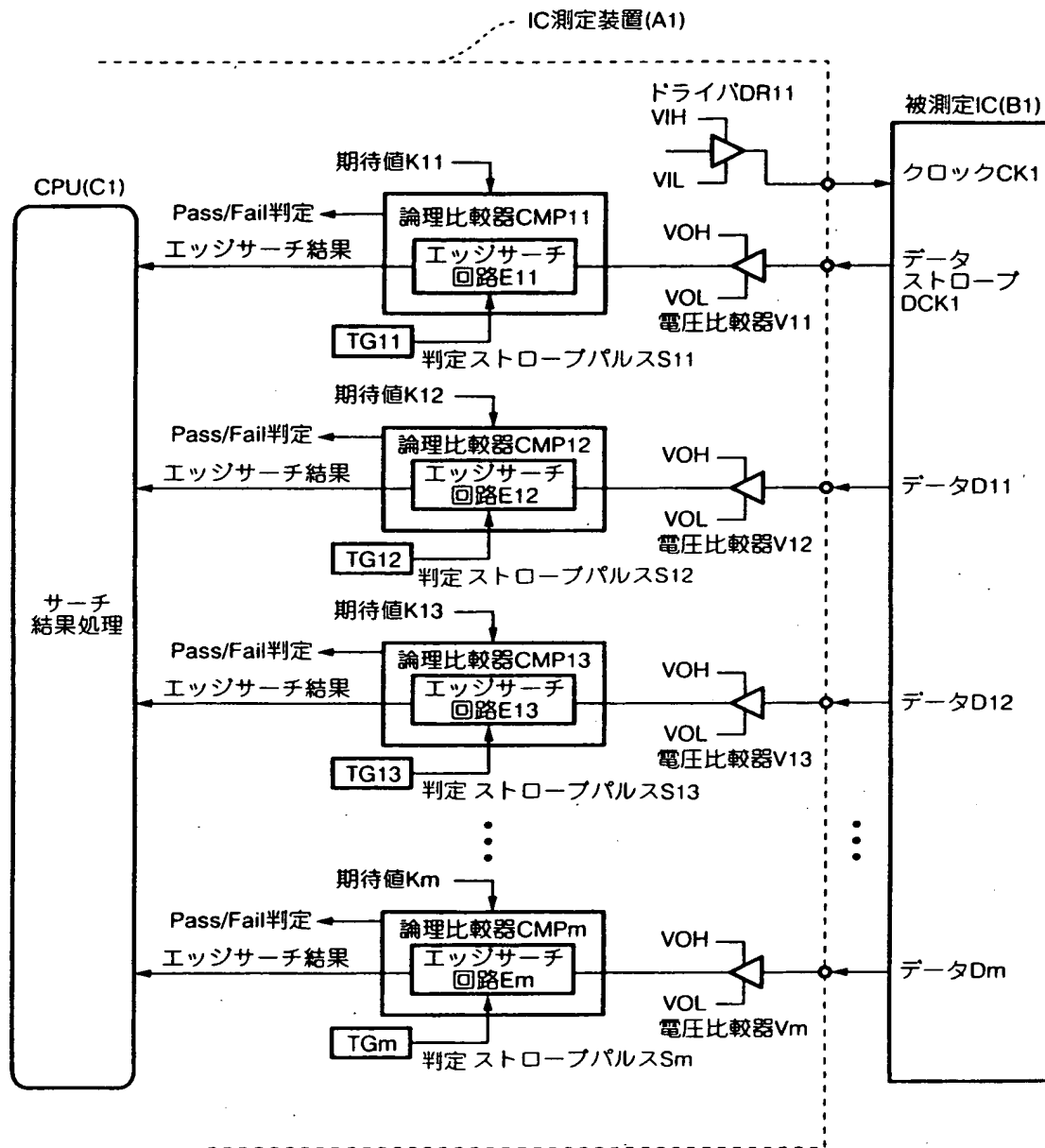
【図 3】



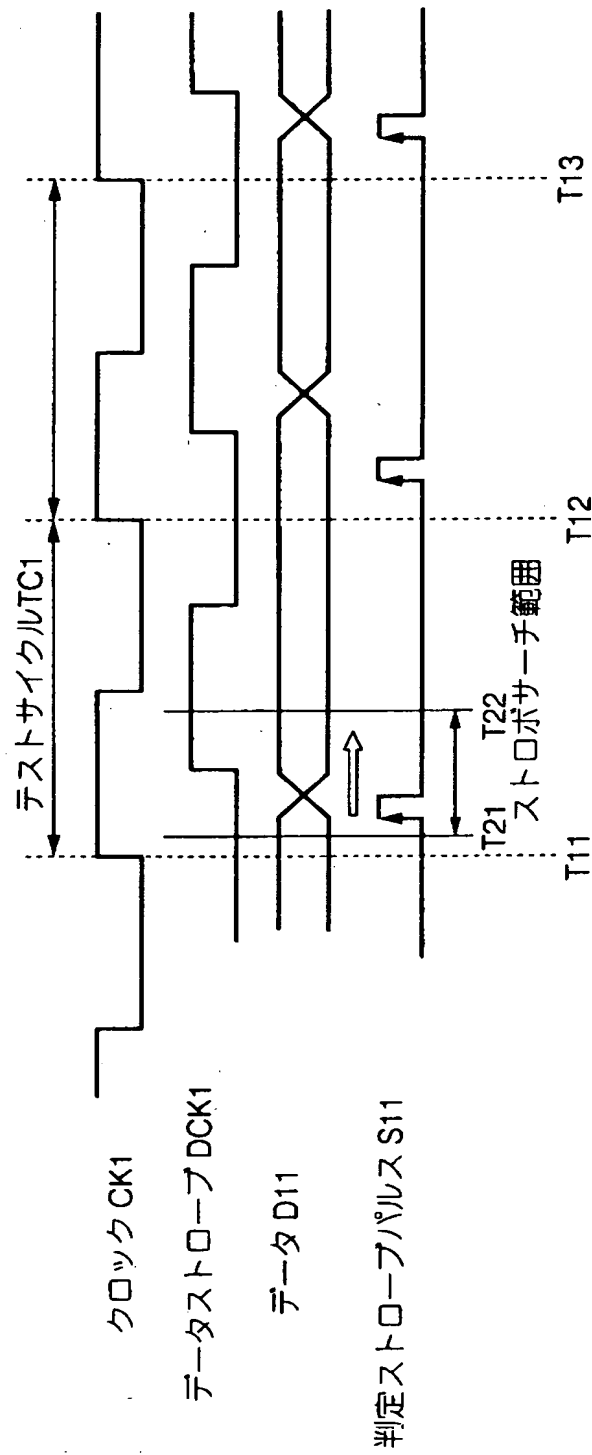
【図 4】

	期間A		期間B	
	D21	D22	D21	D22
DCK2 エッジ判定結果	Fail(H)		Fail(H)	
	Pass(L)		Fail(H)	
D21, D22 エッジ判定結果	Fail(H)	Fail(H)	Pass(L)	Pass(L)
	Pass(L)	Fail(H)	Pass(L)	Pass(L)
Pass/Fail判定	Pass(L)	Fail(H)	Pass(L)	Pass(L)

【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 被測定 I C の出力タイミングを測定するのに時間がかからない I C 測定装置を提供する。

【解決手段】 2つの判定ストロークパルス (S 2 1) を出力する第 1 のタイミングジェネレータ (T G 2 1) と、2つの判定ストロークパルス (S 2 1) に基づいて、1つのテストサイクル内の2つの時刻におけるデータストローク (D C K 2) の状態を検出する第 1 のエッジ検出手段 (E 2 1) と、2つの判定ストロークパルス (S 2 2) を出力する第 2 のタイミングジェネレータ (T G 2 2) と、2つの判定ストロークパルス (S 2 2) に基づいて、1つのテストサイクル内の2つの時刻におけるデータの状態を検出する第 2 のエッジ検出手段 (E 2 2) と、データの状態と、データストロークの状態とに基づいて、データストロークを基準としたデータのタイミングの合否を判定する判定手段 (J 2 2) とを設けた。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2000-397454
受付番号	50001690453
書類名	特許願
担当官	第一担当上席 0090
作成日	平成 12 年 12 月 28 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000117744
【住所又は居所】	東京都大田区蒲田 4 丁目 19 番 7 号
【氏名又は名称】	安藤電気株式会社

【代理人】

申請人	
【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【選任した代理人】

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	渡邊 隆
----------	------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100094400
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】	鈴木 三義
【選任した代理人】	
【識別番号】	100107836
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	西 和哉
【選任した代理人】	
【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日 1990年 8月10日
[変更理由] 新規登録
住 所 東京都大田区蒲田4丁目19番7号
氏 名 安藤電気株式会社
2. 変更年月日 2001年 4月13日
[変更理由] 住所変更
住 所 東京都大田区蒲田五丁目29番3号
氏 名 安藤電気株式会社